

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 04-320102

(43)Date of publication of application : 10.11.1992

(51)Int.Cl.

H03B 5/36

H03B 5/32

(21)Application number : 03-113859

(71)Applicant : KOKUSAI ELECTRIC CO LTD

(22)Date of filing : 19.04.1991

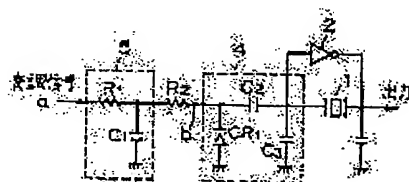
(72)Inventor : TAKAOKA YAMAHARU
MAKINO YOSHIKUNI
TOCHIHARA SHUNJI
OGAWA TOSHIRO

(54) SYSTEM CLOCK OSCILLATING CIRCUIT

(57)Abstract:

PURPOSE: To reduce the deterioration in the reception sensitivity due to the effect of an output harmonic component of a system clock oscillating circuit used for a radio equipment whose control operation is implemented by the microcomputer onto the microcomputer.

CONSTITUTION: In order to vary a capacitance of a load capacitor of a system clock oscillating circuit, an output of a waveform conversion circuit 5 converting a rectangular wave into a triangle wave is given to a variable capacitor provided to a load capacitor circuit of the oscillating circuit. Thus, the frequency of output harmonica of the system clock oscillating circuit is spread and their average power is reduced.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's

decision of rejection]

[Date of extinction of right]

(19) 日本国特許庁 (JP)

(12) 特許公報 (B 2)

(11) 特許出願公告番号

特公平 8 - 1 0 8 0 7

(24) (44) 公告日 平成8年(1996)1月31日

(51) Int. Cl. ⁶	識別記号	庁内整理番号	F I	技術表示箇所
H 0 3 B	5/32	Z		
H 0 4 B	1/10	N		

請求項の数 1

(全 3 頁)

(21) 出願番号	特願平3-113859	(71) 出願人	000001122 国際電気株式会社 東京都中野区東中野三丁目14番20号
(22) 出願日	平成3年(1991)4月19日	(72) 発明者	高岡 恭春 東京都港区虎ノ門二丁目3番13号 国際電 気株式会社内
(65) 公開番号	特開平4-320102	(72) 発明者	牧野 儀邦 東京都港区虎ノ門二丁目3番13号 国際電 気株式会社内
(43) 公開日	平成4年(1992)11月10日	(72) 発明者	枋原 俊司 東京都港区虎ノ門二丁目3番13号 国際電 気株式会社内
		(74) 代理人	弁理士 大塚 学 (外1名)
		審査官	緒方 寿彦

最終頁に続く

(54) 【発明の名称】 システムクロック発振回路

1

【特許請求の範囲】

【請求項 1】 セラミック振動子または水晶振動子を発振素子とするシステムクロック発振回路において、前記発振素子の負荷容量に並列に接続されたバリキャップと、システムクロック発振周波数の許容偏差以内の周波数の矩形波信号を三角波電圧波形に変換して前記バリキャップに与える波形変換回路とを備え、前記矩形波信号により発振周波数を連続的に変化させて発振出力に含まれる高調波の周波数スペクトルを拡散させるように構成したことを特徴とするシステムクロック発振回路。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、マイクロプロセッサによって動作制御される無線機に用いられるシステムクロック発振回路に関するものである。

2

【0002】

【従来の技術】 図4は従来のシステムクロック発振回路であり、水晶又はセラミックの発振素子1と増幅器2によって構成されている。

【0003】

【発明が解決しようとする課題】 上記従来回路の負荷容量3の容量値C_Aは固定値のため出力周波数は時間によって変化しない。従ってシステムクロック出力の高調波の周波数も時間によって変化しない。この高調波成分が無線機の受信周波数に近い場合、無線機のマイクロプロセッサによる制御動作に妨害を与え、その結果受信感度が劣化するという問題点がある。本発明の目的は、従来のシステムクロック発振回路の出力高調波による受信感度劣化を解決し、感度劣化を低減することのできるシステムクロック発振回路を提供することにある。

【0004】

【課題を解決するための手段】本発明のシステムクロック発振回路は、セラミック振動子または水晶振動子を発振素子とするシステムクロック発振回路において、前記発振素子の負荷容量に並列に接続されたバリキャップと、システムクロック発振周波数の許容偏差以内の周波数の矩形波信号を三角波電圧波形に変換して前記バリキャップに与える波形変換回路とを備え、前記矩形波信号により発振周波数を連続的に変化させて発振出力に含まれる高調波の周波数スペクトルを拡散させるように構成したことを特徴とするものである。

【0005】

【実施例】図1は本発明の一実施例を示す回路図であり、図2はその各部の波形図である。例えば、発振周波数を1.2MHzとする。図において、従来回路の負荷容量3の代りに容量値 C_2 、 C_3 の容量及びバリキャップ CR_1 からなる可変容量回路4を設け、この合成容量値が C_A に等しくなるように設定されている。 R_1 、 R_2 は抵抗であり、 C_1 は容量である。この R_1 と C_1 とにより波形変換回路5が構成されている。例えば、1.2kHz、3V_{PP}の矩形波を変調信号aとして入力し、 $R_1 = 100\text{ k}\Omega$ 、 $C_1 = 2200\text{ pF}$ の積分回路構成による波形変換回路5により2.2V_{PP}の三角波信号bに変換する。周波数の変位はなめらかな変化の方がシステムクロック出力の高周波成分が少なくなるため三角波とする。この三角波信号bの電圧が $R_2 = 220\text{ k}\Omega$ の抵抗を通してバリキャップ CR_1 に印加されるためバリキャップ CR_1 の容量値が変化し負荷容量値 C_A が105pF～114pFの範囲で変化することになる。この C_A の変化に従って発振素子1、増幅器2による発振回路の発振周波数は1.2MHz～1.997MHzの範囲で周波数変調され、システムクロックとして出力され

る。

【0006】図3は本発明の発振器出力の周波数のスペクトルであり、発振周波数 $f_0 = 1.2\text{ MHz}$ 、変調信号の周波数が1.2kHzのときの高調波の拡散状態を示したものである。従来回路では f_0 の左右には信号は認められない。実際の受信機に本発明の回路を実装した結果、従来回路に比べて受信感度が5dB改善された。上記の変調波信号aの周波数は、システムクロック発振周波数 f_0 の許容周波数偏差内、例えば $f_0 \pm 10\%$ に選ぶことはいふまでもない。又、このシステムクロックの出力周波数は1.2MHz近傍で変化しているため、無線機のマイクロプロセッサ内のクロック例えば300kHz（1.2MHzの4分周）に影響を与えることはない。

【0007】

【発明の効果】以上詳細に説明したように、本発明を実施することにより、システムクロック出力の高調波は一定した周波数をとらずスペクトル拡散するため、ある帯域に落ち込む干渉波レベルの平均電力が下がるため、特定の受信周波数での受信感度低下を軽減することができるという効果がある。

【図面の簡単な説明】

【図1】本発明の一実施例を示す回路図である。

【図2】図1の回路の部分波形図である。

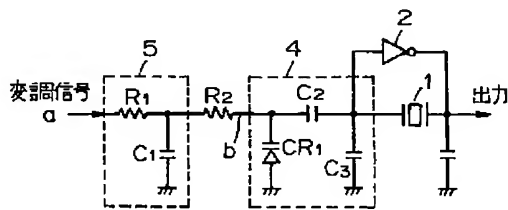
【図3】本発明の発振出力の周波数特性図である。

【図4】従来の回路例図である。

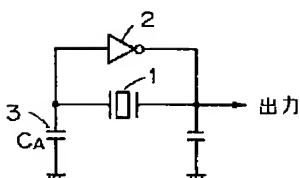
【符号の説明】

- 1 発振素子
- 2 増幅器
- 3 負荷容量
- 4 容量回路
- 5 波形変換回路

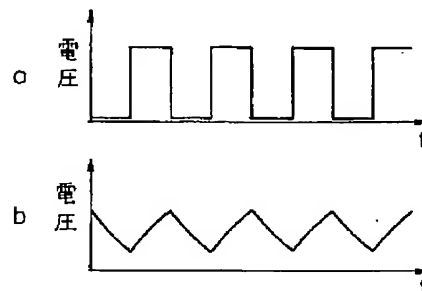
【図1】



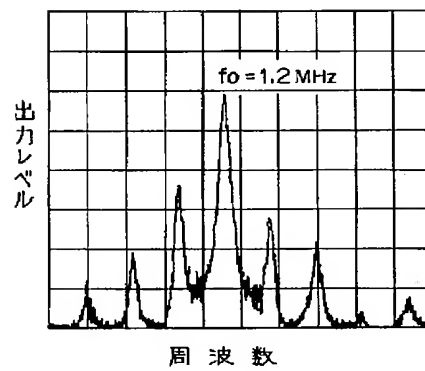
【図4】



【図2】



【図3】



フロントページの続き

(72)発明者 小川 俊郎

東京都港区虎ノ門二丁目3番13号 国際電
気株式会社内

(56)参考文献 特開 昭60-97702 (J P, A)
実開 昭60-82845 (J P, U)